

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-325438

(43)Date of publication of application : 08.11.2002

(51)Int.Cl.

H02M 3/28

H02H 7/20

H02M 7/21

(21)Application number : 2001-126283

(71)Applicant : FUJITSU LTD

(22)Date of filing : 24.04.2001

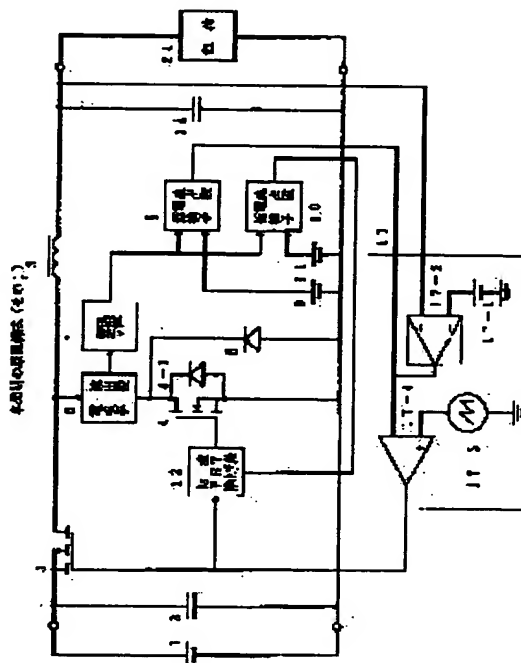
(72)Inventor : YAMAGUCHI KOJI
TSUKIMOTO SEISHI

(54) SYNCHRONOUS RECTIFICATION CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a synchronous rectification converter which is provided with the overcurrent drooping function and the function of preventing reverse current from the load side to the power supply side when a plurality of such synchronous rectification converters are operated in parallel, and enables detection of output current, such as overcurrent, and prevention of reverse current with proper power efficiency.

SOLUTION: The synchronous rectification converter is provided with a current detecting means connected in series with a commutation field-effect transistor; an overcurrent detecting means which generates an overcurrent detection signal from a voltage generated from a current, detected by the overcurrent detecting means and a first reference voltage, and supplies the detected signal to a pulse width control means; a low current detecting means which generates a low current detection signal from a voltage generated from a current detected by the overcurrent detecting means and a second reference voltage and outputs the detection signal; and a commutation field-effect transistor stopping means which turns off the commutation field-effect transistor, in response to the low current detection signal.



LEGAL STATUS

[Date of request for examination]

08.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-325438

(P2002-325438A)

(43) 公開日 平成14年11月8日 (2002.11.8)

(51) Int. Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 2 M 3/28		H 0 2 M 3/28	F 5 G 0 5 3
H 0 2 H 7/20		H 0 2 H 7/20	C 5 H 0 0 6
H 0 2 M 7/21		H 0 2 M 7/21	B 5 H 7 3 0
			A

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号 特願2001-126283 (P2001-126283)

(22) 出願日 平成13年4月24日 (2001. 4. 24)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 山口 幸路

福岡県福岡市博多区博多駅前3丁目22番8
号 富士通九州デジタル・テクノロジー株
式会社内

(74) 代理人 100072590

弁理士 井桁 貞一

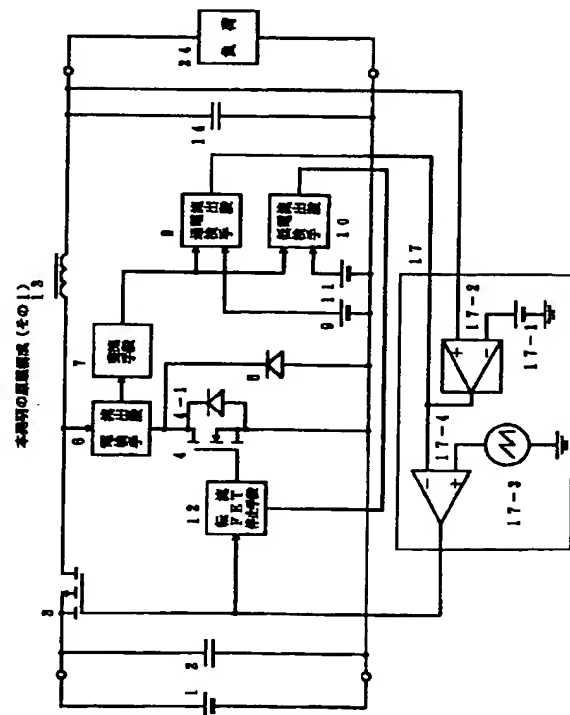
最終頁に続く

(54) 【発明の名称】 同期整流コンバータ

(57) 【要約】

【課題】 同期整流コンバータに関し、複数の同期整流コンバータを並列運転する場合に、過電流垂下機能と負荷側から電源側への逆流防止機能を備える上に、過電流などの出力電流の検出と逆流防止を電力効率が高い状態で行なうことができる同期整流コンバータを提供する。

【解決手段】 転流電界効果トランジスタに直列に挿入した電流検出手段と、該電流検出手段が検出した電流から生成した電圧と第一の基準電圧とから過電流検出信号を生成してパルス幅制御手段に供給する過電流検出手段と、該電流検出手段が検出した電流から生成した電圧と第二の基準電圧とから低電流検出信号を生成して出力する低電流検出手段と、該低電流検出信号を受けて該転流電界効果トランジスタをオフにする転流電界効果トランジスタ停止手段とを備える。



【特許請求の範囲】

【請求項1】 主電界効果トランジスタと転流電界効果トランジスタと該主電界効果トランジスタ及び該転流電界効果トランジスタのパルス幅を制御するパルス幅制御手段とを備える同期整流コンバータにおいて、該転流電界効果トランジスタに直列に挿入した電流検出手段と、

該電流検出手段が検出した電流から生成した電圧と第一の基準電圧とから過電流状態を検出して過電流検出信号をパルス幅制御手段に供給する過電流検出手段と、該電流検出手段が検出した電流から生成した電圧と第二の基準電圧とから低電流状態を検出して低電流検出信号を出力する低電流検出手段と、

該低電流検出信号を受けて該転流電界効果トランジスタをオフにする転流電界効果トランジスタ停止手段とを備えることを特徴とする同期整流コンバータ。

【請求項2】 請求項1記載の同期整流コンバータにおいて、上記電流検出手段にトランスを使用することを特徴とする同期整流コンバータ。

【請求項3】 請求項1記載の同期整流コンバータにおいて、上記電流検出手段が検出した電流の値に応じて上記第二の基準電圧が2つの値の一方を取ることが可能な低電流検出手段を備えることを特徴とする同期整流コンバータ。

【請求項4】 請求項1記載の同期整流コンバータにおいて、上記転流電界効果トランジスタ停止手段が、上記転流電界効果トランジスタのゲートに直列に挿入した第一の3端子能動素子と、該第一の3端子能動素子の制御電極の電圧を上記低電流検出信号によって制御する第二の3端子能動素子とを備えることを特徴とする同期整流コンバータ。

【請求項5】 請求項4記載の同期整流コンバータにおいて、上記転流電界効果トランジスタ停止手段に、該転流電界効果トランジスタ停止手段が該転流電界効果トランジスタをオフにする時に転流電界効果トランジスタの蓄積電荷を放電させる構成を備えることを特徴とする同期整流コンバータ。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、同期整流コンバータに係り、特に、複数の同期整流コンバータを並列運転する場合に、過電流垂下機能と負荷側から電源側への逆流防止機能を備える上に、過電流などの出力電流の検出と逆流防止を電力効率がよい状態で行なうことができる同期整流コンバータに関する。

【0002】 電源回路には大別して、ドロップ方式とス

イッチング・レギュレータ方式とがあるが、電力効率と電源回路の大きさの面から最近では後者が主流になっている。そして、スイッチング・レギュレータ方式の1つに同期整流コンバータがあり、これには、入力電源側と負荷側の間にトランスを使用しない非絶縁型の同期整流コンバータと、入力電源側と負荷側の間にトランスを使用する絶縁型の同期整流コンバータとがある。

【0003】 さて、電源回路から電力の供給を受ける負荷側における状況を見ると、情報通信装置を構成する大規模集積回路の動作電圧が低下の一途を辿っている。この傾向は、デジタル回路のみならずアナログ回路においても同様である。即ち、或る程度以前には大規模集積回路の動作電圧は5ボルトが標準的であったものが3・3ボルトに低下し、2・5ボルトを経由して最近では1・8ボルトにまで低下している。そして、近い将来には1ボルト未満になるとも予測されている。かくの如く大規模集積回路の動作電圧が低下するので電源回路の出力電圧が低電圧化されるが、低電圧電源には同期整流コンバータが適している。

【0004】 そして、上記の如き大規模集積回路の動作電圧の低下が急速に進んでくると、大規模集積回路の開発時期の差によって、情報通信装置において使用する大規模集積回路の動作電圧を統一することが困難になり、電源回路側は複数の出力電圧に対応する必要に迫られている。その上、出力電圧が低下してゆくのであるから電源回路において昇圧する必要性も薄れてくる。このため、最近では非絶縁型の同期整流コンバータが広く使用されるようになってきている。

【0005】 一方、大規模集積回路においては回路規模の一層の大規模化が進んでおり、電源回路が供給しなければならない出力電流が増加する一方である。このような状況にあって必要とされる負荷電流に一つ一つ対応して電源回路を設計、製造することは時間的にも設計に必要な人的資源の面からも効率的ではない。従って、複数の電源回路を並列接続して大きな負荷電流を分担して供給するという電源システムが一般的になっている。

【0006】 図10は、複数電源を並列接続した電源システムである。

【0007】 図10において、101は入力電源、102は第一の電源回路（図では電源#1と略記している。以降も、図では同様に記載する。）、103は第二の電源回路、104は第nの電源回路（nは2以上の整数）、105は負荷である。

【0008】 第一の電源回路102乃至第nの電源回路104は共通の入力電源101に並列接続されて所定の出力電圧と出力電流を生成して、各々、共通の負荷105に並列接続されて所定の出力電圧と出力電流を供給する。

【0009】 このような電源システムに適用される各々の電源回路には、先ず、各々の電源の出力電流バランス

をとるために過電流垂下機能が必要である。又、並列接続している他の電源回路の出力電圧が高い場合や、より高い電圧の電源システム（図示を省略している。）から負荷105を経由した電流の回り込みがある場合に対応するために負荷105から入力電源101側への逆流防止機能が必要である。特に、同期整流コンバータにおいて必須な転流電界効果トランジスタが逆流を吸い込む現象があるために逆流防止機能は重要である。

【0010】しかも、出力電圧が低下し、出力電流が増加するという環境にあって、過電流垂下機能や逆流防止機能のために必要な電流検出や、逆流防止機能そのものを電力効率を低下させることなく実現することが肝要である。

【0011】

【従来の技術】図8は、従来の同期整流コンバータの構成例で、先に記載した背景に鑑みて非絶縁型の同期整流コンバータを図示している。尚、図8では図の煩雑化を避けるために単一の同期整流コンバータのみを図示しているが、複数の同期整流コンバータが並列接続されて運転されているものと理解して図を見てほしい。

【0012】図8において、1は入力電源である。

【0013】2は同期整流コンバータにおけるスイッチング動作によって発生するリップル電圧を抑圧するコンデンサである。

【0014】3は主電界効果トランジスタで、図8ではソースをサブストレートに接続したPチャネル型電界効果トランジスタである。尚、主電界効果トランジスタ3についてはボディ・ダイオードの図示を省略しているが、ソースをサブストレートに接続しているので、ドレイン側がアノード、サブストレート側がカソードになる。

【0015】4は転流電界効果トランジスタ、4-1は転流電界効果トランジスタ4のボディ・ダイオードである。図8では転流電界効果トランジスタ4はソースをサブストレートに接続したNチャネル型電界効果トランジスタであるので、ドレイン側がカソード、サブストレート側がアノードになる。

【0016】13は平滑回路を構成するチョーク・コイル、14は平滑回路を構成するコンデンサである。

【0017】15は過電流垂下機能のための電流検出手段を構成するために出力回路の直列に挿入される抵抗、16は該電流検出手段を構成するために抵抗15の端子に2つの入力端子を接続される差動増幅器である。

【0018】17は主電界効果トランジスタ3及び転流電界効果トランジスタ4のオン・オフを制御する制御回路で、基準電圧源17-1、同期整流コンバータの出力電圧を非反転入力端子に受け、基準電圧源17-1の出力電圧を反転入力端子に受ける差動増幅器17-2、鋸歯状波電圧を生成する鋸歯状波電源17-3、電流検出手段を構成する差動増幅器16の出力と差動増幅器17

-2の出力の和の電圧を反転入力端子に受け、鋸歯状波電源17-3の出力を非反転入力端子に受けて主電界効果トランジスタ3のゲートに供給するパルス幅を制御するコンパレータ17-4を備えている。

【0019】18はカソードを負荷側にして出力回路に直列に挿入される逆流防止ダイオードである。

【0020】そして、コンデンサ2以降逆流防止ダイオード18までの構成要素によって同期整流コンバータが構成される。

【0021】最後に、24は上記同期整流コンバータから電力の供給を受ける負荷である。

【0022】今、コンパレータ17-4の出力波形のデューティ比が当初50%であるものと仮定して図8の構成の動作を説明する。

【0023】コンパレータ17-4の出力波形のデューティ比が当初50%であると仮定したから、コンパレータ17-4の出力の論理レベルが“1”の半周期で主電界効果トランジスタ3がオンになり、主電界効果トランジスタ3がオンの時に転流電界効果トランジスタ4はオフになる。そして、コンパレータ17-4の出力の論理レベルが“0”の半周期で主電界効果トランジスタ3がオフになり、主電界効果トランジスタ3がオフの時に転流電界効果トランジスタ4がオンになる。

【0024】従って、主電界効果トランジスタ3がオンの時には主電界効果トランジスタ3、チョーク・コイル13及びコンデンサ14を経由して電流が流れて平滑される。一方、主電界効果トランジスタ3がオフになってもチョーク・コイル13は蓄積した磁気エネルギーによって電流を同じ方向に流し続けようとするので、チョーク・コイル13、コンデンサ14及び転流電界効果トランジスタ4を経由して電流が流れて平滑される。このため、出力電圧も出力電流も連続波形になり、脈流にはならない。

【0025】そして、出力電圧が高くなった場合には差動増幅器17-2を経由してコンパレータ17-4の反転入力端子の電圧が上昇するので、主電界効果トランジスタ3をオンにするパルス幅が減少して出力電圧が一定に保たれる。

【0026】又、出力電流が増加して差動増幅器16の出力電圧が上昇するとコンパレータ17-4の反転入力端子の電圧が上昇するので、主電界効果トランジスタ3をオンにするパルス幅が減少して出力電圧を垂下させる。

【0027】図9は、図8の構成の過電流垂下特性である。

【0028】図9において、縦軸は出力電圧、横軸は出力電流である。更に、出力電流については逆電流領域、通常運転領域及び過電流垂下領域に分けることができる。そして、出力電流が通常運転領域を超える値になると上記の如くパルス幅制御手段が出力電圧を垂下させ、

それでも出力電流が増加すると最終的には出力電圧を0に抑圧する。

【0029】又、負荷側の電圧が高くなったり、負荷側から回り込み電流が流入する場合に備えて逆流防止ダイオードが図8の如く配置されているので、負荷側の電圧が高くなったり、負荷側から回り込み電流が流入しようとしても逆流が同期整流コンバータに流入することはない。もし、逆流防止ダイオード18を挿入していなければ、逆流が転流電界効果トランジスタを流れるために当該同期整流コンバータが短絡モードになって、当該同期整流コンバータに損傷を与える恐れがあるので、逆流防止ダイオード18の役割は大きい。

【0030】

【発明が解決しようとする課題】しかし、図8の構成では過電流垂下機能のための電流検出手段を構成する抵抗15と、逆流防止ダイオードは出力回路に直列に挿入されている。

【0031】先にも記載した如く、同期整流コンバータの出力電圧は大規模集積回路の動作電圧の低下に伴って低下傾向にあり、現状では1・8ボルトまで低下している。一方、逆流防止ダイオードのフォワード電圧は通常の接合ダイオードの場合には0・7～0・8ボルト程度であり、ショットキー・バリア・ダイオードを用いても0・4ボルト程度あり、逆流防止ダイオードにおける電圧ドロップを無視することができなくなっている。

【0032】又、やはり先にも記載した如く負荷が必要とする電流は増加傾向にある。この状況下にあって電流検出手段を構成する抵抗が出力回路に直列に挿入されることも問題である。即ち、電流検出感度を確保するには該抵抗の抵抗値をあまり微小にはできず、出力電流による該抵抗における電圧ドロップを無視することができなくなるからである。

【0033】つまり、図8の構成の同期整流コンバータは電力効率の低下というペナルティを払って過電流垂下機能と逆流防止機能を備えているものであるということが出来る。

【0034】本発明は、かかる問題点に鑑み、複数の同期整流コンバータを並列運転する場合に、過電流垂下機能と負荷側から電源側への逆流防止機能を備える上に、過電流などの出力電流の検出と逆流防止を電力効率が良い状態で行なうことができる同期整流コンバータを提供することを目的とする。

【0035】

【課題を解決するための手段】第一の発明は、主電界効果トランジスタと転流電界効果トランジスタと該主電界効果トランジスタ及び該転流電界効果トランジスタのパルス幅を制御するパルス幅制御手段とを備える同期整流コンバータにおいて、該転流電界効果トランジスタに直列に挿入した電流検出手段と、該電流検出手段が検出した電流から生成した電圧と第一の基準電圧とから過電流

状態を検出して過電流検出信号を該パルス幅制御回路に供給する過電流検出手段と、該電流検出手段が検出した電流から生成した電圧と第二の基準電圧とから低電流状態を検出して低電流検出信号を出力する低電流検出手段と、該低電流検出信号を受けて該転流電界効果トランジスタをオフにする転流電界効果トランジスタ停止手段とを備える同期整流コンバータである。

【0036】第一の発明によれば、電流検出手段を転流電界効果トランジスタに直列に挿入するので、電流検出手段を行なうための影響は転流に対してのみであり、損失が少ない。又、該電流検出手段が検出した電流から生成した電圧と第二の基準電圧とから該低電流検出手段が低電流状態を検出して低電流検出信号を該転流電界効果トランジスタ停止手段に供給し、該転流電界効果トランジスタ停止手段が低電流状態の時に転流電界効果トランジスタをオフにするので、負荷側にて生じようとする逆流が転流電界効果トランジスタを流れることがなく、負荷側から見て当該同期整流コンバータが短絡モードになることはない。このため、過電流垂下機能と負荷側から電源側への逆流防止機能を備える上に、過電流などの出力電流の検出と逆流防止を電力効率が良い状態で行なうことができる同期整流コンバータを提供することが可能になる。

【0037】第二の発明は、第一の発明の同期整流コンバータにおいて、上記電流検出手段にトランスを使用する同期整流コンバータである。

【0038】第二の発明によれば、該電流検出手段にトランスを使用するので、電流検出のための損失は一層小さくなり、且つ、該トランスの一次側巻線と二次側巻線の巻数比の設定によって微小電流の検出が容易になり、低電流検出信号によって確実に転流電界効果トランジスタをオフさせることが可能になる。

【0039】第三の発明は、第一の発明の同期整流コンバータにおいて、上記第二の基準電圧が、検出電流の値に応じて2つの値の一方を取ることが可能な低電流検出手段を備える同期整流コンバータである。

【0040】第三の発明によれば、該低電流検出手段が有する基準電圧が、検出電流の値に応じて2つの値の一方を取ることが可能であるため、該低電流検出手段が出力する低電流検出信号にヒステリシスを持たせることが可能になり、検出電流の僅かな変動によって同期整流とダイオード整流との間のハンティングが生ずることを抑圧できて、同期整流コンバータの動作の安定化が可能になる。

【0041】第四の発明は、第一の発明の同期整流コンバータにおいて、上記転流電界効果トランジスタ停止手段が、上記転流電界効果トランジスタのゲートに直列に挿入した補助電界効果トランジスタと、該補助電界効果トランジスタのゲート電圧を上記低電流検出信号によって制御するトランジスタとを備える同期整流コンバータ

である。

【0042】第四の発明によれば、該低電流検出手段が該低電流検出信号を出力しているダイオード整流動作時には該補助電界効果トランジスタをオフにして上記転流電界効果トランジスタをオフにし、該低電流検出手段が該低電流検出信号を出力しない同期整流動作時には該補助電界効果トランジスタをオンにして該転流電界効果トランジスタをオンにするので、該転流電界効果トランジスタを逆流が流れることがなくなる。

【0043】第五の発明は、第四の発明の同期整流コンバータにおいて、上記転流電界効果トランジスタ停止手段に、該転流電界効果トランジスタ停止手段が該転流電界効果トランジスタをオフにする時に転流電界効果トランジスタの蓄積電荷を放電させる構成を備える同期整流コンバータである。

【0044】第五の発明によれば、該転流電界効果トランジスタ停止手段が該転流電界効果トランジスタをオフにする時に転流電界効果トランジスタの蓄積電荷を放電させるので、該転流電界効果トランジスタがオフに転ずる時の遅延時間を短縮することができる。

【0045】

【発明の実施の形態】図1は、本発明の原理的構成（その1）で、先にも記載した背景から非絶縁型の同期整流コンバータに本発明の技術を適用するものとして図示している。

【0046】図1において、1は入力電源である。

【0047】2は同期整流コンバータにおけるスイッチング動作によって発生するリップル電圧を抑圧するコンデンサである。

【0048】3は主電界効果トランジスタで、ソースをサブストレートに接続したPチャネル型電界効果トランジスタである。尚、主電界効果トランジスタ3についてはボディ・ダイオードの図示を省略しているが、ソースをサブストレートに接続していることを考慮すれば、ドレイン側がアノード、サブストレート側がカソードになることは容易に理解できる。

【0049】4は転流電界効果トランジスタ、4-1は転流電界効果トランジスタ4のボディ・ダイオードである。転流電界効果トランジスタ4はソースをサブストレートに接続したNチャネル型電界効果トランジスタであるので、ドレイン側がカソード、サブストレート側がアノードになる。

【0050】5は転流電界効果トランジスタ4に並列に接続した転流ダイオードである。尚、転流電界効果トランジスタ4のボディ・ダイオード4-1が十分な電流容量を持っている場合には転流ダイオード5は必ずしも必要がない。

【0051】6は転流電界効果トランジスタ4に直列に挿入した電流検出手段である。

【0052】7は電流検出手段6が検出した電流を電圧

変換する整流手段である。

【0053】9は第一の基準電圧源、8は第一の基準電圧源9の出力電圧と整流手段7の出力電圧とから過電流状態を検出して過電流検出信号を出力する過電流検出手段である。

【0054】11は第二の基準電圧源、10は第二の基準電圧源の出力電圧と整流手段7の出力電圧とから低電流状態を検出して低電流検出信号を出力する低電流検出手段である。

【0055】12は、低電流検出手段10が出力する低電流検出信号によって転流電界効果トランジスタ4をオフにする転流電界効果トランジスタ停止手段である。

尚、低電流検出手段10の出力は転流電界効果トランジスタ停止手段の制御端子に供給される。

【0056】13は平滑回路を構成するチョーク・コイル、14は平滑回路を構成するコンデンサである。

【0057】17は主電界効果トランジスタ3及び転流電界効果トランジスタ4のオン・オフを制御するパルス幅制御回路で、基準電圧源17-1、同期整流コンバータの出力電圧を非反転入力端子に受け、基準電圧源17-1の出力電圧を反転入力端子に受ける差動増幅器17-2、鋸歯状波電圧を生成する鋸歯状波電源17-3、電流検出手段を構成する差動増幅器6の出力と差動増幅器17-2の出力の和の電圧を反転入力端子に受け、鋸歯状波電源17-3の出力を非反転入力端子に受けて主電界効果トランジスタ3のゲートに供給するパルス幅を制御するコンパレータ17-4を備えている。

【0058】そして、コンデンサ2以降パルス幅制御手段までの構成要素によって同期整流コンバータが構成される。

【0059】尚、パルス幅制御手段17を構成する差動増幅器17-2の非反転入力端子には図1に示されている同期整流コンバータの出力電圧が供給され、パルス幅制御手段17を構成するコンパレータ17-4の反転入力端子には過電流検出手段8の出力が供給され、差動増幅器17-2の出力端子もコンパレータ17-4の反転入力端子に接続される。

【0060】最後に、24は上記同期整流コンバータから電力の供給を受ける負荷である。

【0061】即ち、図1の構成の特徴は、転流電界効果トランジスタに直列に挿入した電流検出手段と、該電流検出手段が検出した電流から生成した電圧と第一の基準電圧とから過電流状態を検出して過電流検出信号を該パルス幅制御回路に供給する過電流検出手段と、該電流検出手段が検出した電流から生成した電圧と第二の基準電圧とから低電流状態を検出して低電流検出信号を出力する低電流検出手段と、該低電流検出信号を受けて該転流電界効果トランジスタをオフにする転流電界効果トランジスタ停止手段とを備える点にある。

【0062】図2は、図1の構成の過電流垂下動作であ

る。

【0063】図2において、横軸は時間で、縦軸は各素子の動作波形を示す振幅である。

【0064】通常動作領域では、主電界効果トランジスタ（図では「主FET」と略記している。）と転流電界効果トランジスタ（図では「転流FET」と略記している。）とは例えばデューティ比50%でオンとオフを逆相で繰り返している。そして、主電界効果トランジスタがオンの時には電流は図1の主電界効果トランジスタ3、チョーク・コイル13及びコンデンサ14を経由して流れて平滑化され、転流電界効果トランジスタ4がオンで主電界効果トランジスタ3がオフの時には電流は図1のチョーク・コイル13、コンデンサ14及び転流電界効果トランジスタ4を経由して流れて平滑化される。従って、主電界効果トランジスタ3がパルス幅制御手段17によってオンとオフを繰り返すが、出力電流は脈流にはならない。

【0065】過電流動作領域に入ると、転流電界効果トランジスタ4を流れる転流電流の振幅も大きくなるので、整流手段7が出力する電圧も高くなる。従って、過電流検出手段8が過電流状態を検出してパルス幅制御手段17に供給し、パルス幅制御手段17が主電界効果トランジスタ3のオン時間を短縮し、転流電界効果トランジスタ4のオン時間を伸長する。そして、該過電流検出信号が出力され続けると、主電界効果トランジスタ3のオン時間は更に短縮され、転流電界効果トランジスタ4のオン時間は更に伸長される。このようにして同期整流コンバータは出力電圧を垂下させる。

【0066】ところで、転流電界効果トランジスタ4がオンの時には転流ダイオード5はオンになっている転流電界効果トランジスタ4によってシャントされているので、通常動作領域においても過電流動作領域においても転流ダイオードは常にオフである。

【0067】図3は、図1の構成における低電流動作である。

【0068】図3において、横軸は時間で、縦軸は各素子の動作波形を示す振幅である。

【0069】同期整流動作をしている時には低電流検出信号は出力されないで、主電界効果トランジスタ3と転流電界効果トランジスタ4のオン、オフはパルス幅制御手段17によって制御されており、主電界効果トランジスタ3と転流電界効果トランジスタ4の動作波形はオン、オフ逆相である。

【0070】上記の状態で時刻 t_D に低電流検出信号を低電流検出手段10が出力したものとする。該低電流検出信号によって転流電界効果トランジスタ停止手段12が転流電界効果トランジスタ4を強制的にオフさせるので、以降は該低電流検出信号が出力されている間は転流電界効果トランジスタ4は停止させられている。

【0071】一方、転流電界効果トランジスタ4の停止

とは無関係に主電界効果トランジスタ3はパルス幅制御手段17によってオン、オフを制御され続け、しかも、今の場合には過電流検出信号は出力されないで、主電界効果トランジスタ3の動作及び動作波形のデューティ比は同期整流動作の時と変わりが無い。

【0072】そして、主電界効果トランジスタ3がオフの時にはチョーク・コイル13が吐き出す電流はコンデンサ14を経由して転流ダイオード5を流れる。従って、時刻 t_D 以降は主電界効果トランジスタ3がオフしている間は転流ダイオード5に電流がながれ、主電界効果トランジスタ3がオンしている間は転流ダイオード5には電流が流れない。尚、上では転流電流が転流ダイオード5のみに流れるかのように記載しているが、ボディ・ダイオード4-1のフォワード特性が転流ダイオード5のフォワード特性との関係で転流ダイオード5とボディ・ダイオード4-1の電流が決まる。尚、転流ダイオードによる電圧ドロップを小さくする目的でショットキー・バリア・ダイオードを用いる場合には上記転流電流は転流ダイオードを流れる。

【0073】そして、逆電流領域においては電流検出手段6を流れる電流の方向は低電流領域における方向の逆になるので、低電流検出手段10は低電流検出信号を出力している。これによって転流電界効果トランジスタ停止手段12が転流電界効果トランジスタ4をオフにするので、負荷側から逆流が流れ込もうとしても転流電界効果トランジスタ4を流れることはない。その上、逆流に対して転流ダイオード及びボディ・ダイオード4-1は逆方向に挿入されているので、逆流は転流ダイオード及びボディ・ダイオード4-1を流れることもできない。

【0074】即ち、図1の構成によって負荷側からの逆流が同期整流コンバータを流れることはなく、同期整流コンバータの負荷側に逆流防止ダイオードを挿入する必要がなくなる。従って、逆流防止のために出力電圧を低下させることがなくなる。

【0075】しかも、過電流状態と低電流状態を検出する電流検出手段6が転流電界効果トランジスタ4と直列に挿入されていて、電流検出を行なうための影響は転流に対してのみであり、損失が少ない。

【0076】図4は、図1の構成に対応する同期整流コンバータである。

【0077】図4において、1は入力電源である。

【0078】2は同期整流コンバータにおけるスイッチング動作によって発生するリップル電圧を抑圧するコンデンサである。

【0079】3は主電界効果トランジスタで、ソースをサブストレートに接続したPチャネル型電界効果トランジスタである。尚、主電界効果トランジスタ3についてはボディ・ダイオードの図示を省略しているが、ソースをサブストレートに接続しているので、ドレイン側がアノード、サブストレート側がカソードになる。

【0080】4は転流電界効果トランジスタ、4-1は転流電界効果トランジスタ4のボディ・ダイオードである。転流電界効果トランジスタ4はソースをサブストレートに接続したNチャネル型電界効果トランジスタであるので、ドレイン側がカソード、サブストレート側がアノードになる。

【0081】5は転流電界効果トランジスタ4に並列に接続した転流ダイオードである。尚、転流電界効果トランジスタ4のボディ・ダイオード4-1が十分な電流容量を持っている場合には転流ダイオード5は必ずしも必要がない。

【0082】6-1は転流電界効果トランジスタ4に直列に挿入する電流検出手段を構成するトランスである。

【0083】7-1は整流手段を構成する整流ダイオード、7-2は整流手段を構成するコンデンサである。

【0084】尚、図4の構成においてはトランス6-1において検出した転流電流によってコンデンサ7-2に正の電圧を蓄積することを想定しているので、トランス6-1の一次巻線と二次巻線の巻き方向を逆にする。

【0085】8-1は過電流検出手段を構成する差動増幅器、8-2乃至8-5は過電流検出手段を構成する抵抗である。このうち、抵抗8-2及び8-3はコンデンサ7-2の端子電圧を分圧して過電流検出手段への入力電圧とする抵抗、抵抗8-4及び8-5は過電流検出手段に供給する第一の基準電圧を生成する抵抗である。尚、抵抗8-4と8-5の接続点は差動増幅器8-1の反転入力端子に接続され、抵抗8-2と8-3の接続点は差動増幅器8-1の非反転入力端子に接続される。

【0086】10-1は低電流検出手段を構成する差動増幅器、10-2乃至10-5は低電流検出手段を構成する抵抗である。このうち、抵抗10-2及び10-3はコンデンサ7-2の端子電圧を分圧して低電流検出手段への入力電圧とする抵抗、抵抗10-4及び10-5は低電流検出手段に供給する第二の基準電圧を生成する抵抗である。尚、抵抗10-4と10-5の接続点は差動増幅器10-1の非反転入力端子に接続され、抵抗10-2と10-3の接続点は差動増幅器10-1の反転入力端子に接続される。

【0087】又、10-6はやはり低電流検出手段を構成する抵抗、10-7及び10-8は低電流検出手段を構成するダイオードである。ここで、ダイオード10-7のアノードは差動増幅器10-1の出力端子に接続され、ダイオード10-7のカソードは抵抗10-6の一方の端子に接続され、抵抗10-6のもう一方の端子は差動増幅器10-1の非反転入力端子に接続され、ダイオード10-8のアノードは差動増幅器10-1の出力端子に接続される。詳細は後述するが、ダイオード10-7と抵抗10-6の直列回路で差動増幅器10-1に正帰還をかけているのは、差動増幅器10-1に供給する第二の基準電圧にヒステリシスを持たすためであり、

ダイオード10-8は低電流検出手段と後述する転流電界効果トランジスタ停止手段との結合に方向性を持たせるためである。

【0088】12-1は転流電界効果トランジスタ4のゲートに直列に挿入されて転流電界効果トランジスタ4のオン、オフを制御する補助電界効果トランジスタ、12-2は低電流検出手段からの低電流検出信号によってオン、オフして補助電界効果トランジスタ12-1のオン、オフを制御するトランジスタ、12-3は入力電源1の正側の端子と補助電界効果トランジスタ12-1のゲートの間に配置される抵抗、12-4は転流電界効果トランジスタ4のゲートとトランジスタ12-2のコレクタの間に配置されて転流電界効果トランジスタ4がオフになる時に蓄積電荷を転流電界効果トランジスタ4から放出させるためのダイオードで、補助電界効果トランジスタ12-1乃至ダイオード12-4によって転流電界効果トランジスタ停止手段が構成される。

【0089】13は平滑回路を構成するチョーク・コイル、14は平滑回路を構成するコンデンサである。

【0090】17は主電界効果トランジスタ3及び転流電界効果トランジスタ4のオン・オフを制御するパルス幅制御回路で、基準電圧源17-1、同期整流コンバータの出力電圧を非反転入力端子に受け、基準電圧源17-1の出力電圧を反転入力端子に受ける差動増幅器17-2、鋸歯状波電圧を生成する鋸歯状波電源17-3、電流検出手段を構成する差動増幅器8-1の出力と差動増幅器17-2の出力の和の電圧を反転入力端子に受け、鋸歯状波電源17-3の出力を非反転入力端子に受けて主電界効果トランジスタ3のゲートに供給するパルス幅を制御するコンパレータ17-4を備えている。

【0091】19は抵抗、20はツェナー・ダイオードで、抵抗19の一方の端子を入力電源1の正側の端子に接続し、抵抗19のもう一方の端子をツェナー・ダイオード20のカソードと接続し、ツェナー・ダイオード20のアノードを入力電源1の負側の端子に接続して、抵抗19とツェナー・ダイオード20によって定電圧源を構成する。そして、抵抗19とツェナー・ダイオード20の接続点に抵抗8-4及び抵抗8-5より成る分圧回路と抵抗10-4及び抵抗10-5より成る分圧回路を接続して、過電流検出手段と低電流検出手段にそれぞれ第一の基準電圧と第二の基準電圧を供給する。

【0092】そして、コンデンサ2以降ツェナー・ダイオード20までの構成要素によって同期整流コンバータが構成される。

【0093】尚、パルス幅制御手段17を構成する差動増幅器17-2の非反転入力端子には図1に示されている同期整流コンバータの出力電圧が供給され、パルス幅制御手段17を構成するコンパレータ17-4の反転入力端子には過電流検出手段8の出力が供給され、差動増幅器17-2の出力端子もコンパレータ17-4の反転

入力端子に接続される。

【0094】最後に、24は上記同期整流コンバータから電力の供給を受ける負荷である。

【0095】図5は、図4の構成における各部の波形で、図5（イ）は、出力電流、図5（ロ）は、転流電流、図5（ハ）は、図4の構成におけるトランス6-1の二次側巻線を流れる検出電流、図5（ニ）は、図4の構成におけるコンデンサ7-2の端子電圧である検出電圧である。

【0096】図4の主電界効果トランジスタ3と転流電界効果トランジスタ4がパルス幅制御手段の出力に応じてオンとオフを繰り返して、出力電流を形成する。図5

（イ）においては、時刻0から時刻 t_1 の間、時刻 t_2 と時刻 t_3 の間は主電界効果トランジスタ3がオンであり、時刻 t_1 から時刻 t_2 の間、時刻 t_3 と時刻 t_4 の間は転流電界効果トランジスタ4がオンであり、それぞれの電界効果トランジスタを流れる電流によって出力電流は連続になっている。

【0097】従って、転流電流は、図5（ロ）の如く、時刻 t_1 から時刻 t_2 の間、時刻 t_3 と時刻 t_4 の間に流れる。該転流電流が図4のトランス6-1の一次巻線を流れるので、トランス6-1の二次巻線には図5

（ハ）の如き検出電流が流れる。転流電流は脈流であるためにトランス6-1の一次側に流れた転流電流に対応する検出電流が二次側を流れる。尚、図5（ロ）と図5（ハ）では転流電流と検出電流の絶対値に注目して図示していることに留意されたい。

【0098】図5（ハ）の如き検出電流が図4の整流ダイオード7-1及びコンデンサ7-2によってピーク整流されて、図5（ニ）の如き検出電圧が生成される。即ち、該検出電圧は転流電流に比例する電圧であり、とりもなおさず、出力電流に比例する電圧である。

【0099】しかも、図4の構成ではトランス6-1を使用して電流検出を行なっているので、電流検出に伴う損失が微小な上に、一次巻線と二次巻線の巻数比の設定によって微小な転流電流を検出することも可能になる。

【0100】図6は、図4の構成の電流制御特性である。

【0101】図6において、縦軸は出力電圧、横軸は出力電流である。今、出力電流が小さい低電流領域の動作を考える。

【0102】まず、出力電流が低電流領域で0から徐々に増加する場合には、図4のコンデンサ7-2の端子電圧が低いので、差動増幅器10-1の出力電圧が高くなり、低電流検出信号が出力される。該低電流検出信号がトランジスタ12-2のベースに供給されるので、トランジスタ12-2がオンするために補助電界効果トランジスタ12-1のゲート電圧が低くなり、補助電界効果トランジスタ12-1はオフになる。従って、転流電界

効果トランジスタ4もオフになって図4の同期整流コンバータは同期整流動作ではなくダイオード整流動作のモードで動作を開始する。

【0103】そして、差動増幅器10-1の出力電圧がダイオード10-7及び抵抗10-6を介して差動増幅器10-1の非反転入力端子に帰還されるので、差動増幅器10-1に供給される第二の基準電圧はツェナー・ダイオード20の電圧を単に抵抗10-4と抵抗10-5とで分圧した電圧より高くなっている。つまり、図4の構成の同期整流コンバータが同期整流動作に移行する出力電流のスレショルドが高い方にシフトしている。これを図6では I_a と表示している。

【0104】そして、検出電圧が出力電流 I_a に相当する電圧になって初めてダイオード整流動作から同期整流動作に移行し、同期整流動作中には差動増幅器10-1の出力電圧が低くなっているため、ダイオード10-7と抵抗10-6による帰還はかからず、差動増幅器10-1の非反転入力端子に供給される第二の基準電圧は出力電流 I_a に対応する電圧より低くなっている。

【0105】次に、図4の同期整流コンバータが過電圧領域で同期整流動作をしていて出力電流が徐々に減少して低電流領域に近づく場合には、第二の基準電圧が出力電流 I_a に対応する電圧より低くなっているため、出力電流が I_a に達しても差動増幅器10-1の出力電圧は低いままで、出力電流 I_a より低い電流 I_b に達するまでは差動増幅器10-1は低電流検出信号を出力しない。つまり、同期整流動作をしていて出力電流が減少する場合には出力電流 I_a から出力電流 I_b までは同期整流動作を継続し、出力電流が I_b になって初めてダイオード整流動作に移行する。

【0106】上記の如く、低電流検出手段の第二の基準電圧がヒステリシスを持つことによって、同期整流動作とダイオード整流動作の境界領域で第二の基準電圧に雑音を重ねていても、重畳雑音によって同期整流動作とダイオード整流動作の間をハンティングすることがなくなるので、同期整流コンバータの動作が安定化される。

【0107】又、通常運転領域にあって転流電界効果トランジスタ4がオンしている時には転流電界効果トランジスタのチャネルには電荷が蓄積されている。この蓄積電荷は等価的に転流電界効果トランジスタ4のゲートに蓄積されており、転流電界効果トランジスタ4は該蓄積電荷を消失しないとオフにはならず、転流電界効果トランジスタ4がオフになるのに遅延が生ずる。ダイオード12-4はこれを防止するために配置されたものである。

【0108】即ち、転流電界効果トランジスタ4をオフにするためにトランジスタ12-2がオンになってその内部抵抗が微小になるために、転流電界効果トランジスタ4の蓄積電荷はダイオード12-4及びトランジスタ12-2を介して短時間に放電され、転流電界効果トラ

ンジスタ4がオフになる時の遅延時間が短縮される。

【0109】ここまでは、低電流領域の前後の動作の説明であるが、出力電流が通常動作領域中で大きくなってゆくと、ついには過電流検出手段が過電流状態を検出して過電流検出信号を出力する。これによってパルス幅制御手段が主電界効果トランジスタのオン時間を短縮して出力電圧を垂下させる。これが過電流垂下領域である。尚、主電界効果トランジスタと転流電界効果トランジスタの通常動作領域と過電流動作領域におけるパルス幅については図2を参照されたい。

【0110】ここで、図4においては、転流電界効果トランジスタ4のオン、オフを制御するために補助電界効果トランジスタ12-1を適用し、補助電界効果トランジスタ12-1のオン、オフを制御するためにバイポーラ型のトランジスタ12-2を適用しているが、転流電界効果トランジスタ4のオン、オフを制御するためにバイポーラ型のトランジスタを適用することもできるし、転流電界効果トランジスタ4のオン、オフを制御するトランジスタのオン、オフを制御するために電界効果トランジスタを適用することもできる。

【0111】つまり、転流電界効果トランジスタ4のオン、オフを制御するために第一の3端子能動素子を適用し、該第一の3端子能動素子のオン、オフを制御するために第二の3端子能動素子を適用し、該第二の3端子能動素子によって該第一の3端子能動素子の制御電極の電圧を制御すればよい。

【0112】さて、これまでは先に記載した背景に鑑み、非絶縁型の同期整流コンバータに本発明の技術を適用した物について記載してきた。しかし、本発明の技術は絶縁型の同期整流コンバータにも適用することができる。

【0113】図7は、本発明の原理構成(その2)で、絶縁型の同期整流コンバータに本発明の技術を適用するものである。

【0114】図7において、1は入力電源である。

【0115】2は同期整流コンバータにおけるスイッチング動作によって発生するリップル電圧を抑圧するコンデンサである。

【0116】3は主電界効果トランジスタで、通常はNチャネル型電界効果トランジスタが使用される。

【0117】21は主トランス、22は主電界効果トランジスタ3がオン時に主トランスに生ずる電圧によってオンになるスイッチ電界効果トランジスタである。

【0118】4は転流電界効果トランジスタ、4-1は転流電界効果トランジスタ4のボディ・ダイオードである。

【0119】5は転流電界効果トランジスタ4に並列に接続した転流ダイオードである。尚、転流電界効果トランジスタ4のボディ・ダイオード4-1が十分な電流容量を持っている場合には転流ダイオード5は必ずしも必

要がない。

【0120】6は転流電界効果トランジスタ4に直列に挿入した電流検出手段である。

【0121】7は電流検出手段6が検出した電流を電圧変換する整流手段である。

【0122】9は第一の基準電圧源、8は第一の基準電圧源9の出力電圧と整流手段7の出力電圧とから過電流状態を検出して過電流検出信号を出力する過電流検出手段である。

【0123】11は第二の基準電圧源、10は第二の基準電圧源の出力電圧と整流手段7の出力電圧とから低電流状態を検出して低電流検出信号を出力する低電流検出手段である。

【0124】尚、過電流検出手段8及び低電流検出手段10に供給する電圧は、図7の構成が絶縁型であるために入力電源回路1から取ることはできない。従って、正確には主トランス21には三次巻線と該三次巻線に生ずる電圧を整流する整流手段が必要であるが、当業者には容易に理解できることであり、しかも、本発明の技術そのものとは無関係であるので、上記構成は図示を省略している。

【0125】12は、低電流検出手段10が出力する低電流検出信号によって転流電界効果トランジスタ4をオフにする転流電界効果トランジスタ停止手段である。尚、低電流検出手段10の出力は転流電界効果トランジスタ停止手段の制御端子に供給される。

【0126】13は平滑回路を構成するチョーク・コイル、14は平滑回路を構成するコンデンサである。

【0127】17は主電界効果トランジスタ3及び転流電界効果トランジスタ4のオン・オフを制御するパルス幅制御回路で、基準電圧源17-1、同期整流コンバータの出力電圧を非反転入力端子に受け、基準電圧源17-1の出力電圧を反転入力端子に受ける差動増幅器17-2、鋸歯状波電圧を生成する鋸歯状波電源17-3、過電流検出手段を構成する差動増幅器8の出力と差動増幅器17-2の出力の和の電圧を反転入力端子に受け、鋸歯状波電源17-3の出力を非反転入力端子に受けて主電界効果トランジスタ3のゲートに供給するパルス幅を制御するコンパレータ17-4及びコンパレータ17-4の出力の論理レベルを反転するインバータ17-5を備えている。尚、インバータ17-5を使用するのは、主電界効果トランジスタ3にNチャネル型電界効果トランジスタを使用することを想定しているからである。

【0128】23は、過電流検出手段の出力と負荷の端子電圧をパルス幅制御手段に供給するに当たって主トランス21の一次側と絶縁をとるためのフォト・カプラである。尚、パルス幅制御回路17の市販品にフォト・カプラが備えられていることがあるが、この場合には図7におけるフォト・カプラ23は必要がなくなる。

【0129】そして、コンデンサ2以降フォト・カブラ23までの構成要素によって絶縁型の同期整流コンバータが構成される。

【0130】尚、パルス幅制御手段17を構成する差動増幅器17-2の非反転入力端子には図1に示されている同期整流コンバータの出力電圧が供給され、パルス幅制御手段17を構成するコンパレータ17-4の反転入力端子には過電流検出手段8の出力が供給され、差動増幅器17-2の出力端子もコンパレータ17-4の反転入力端子に接続される。

【0131】最後に、24は上記同期整流コンバータから電力の供給を受ける負荷である。

【0132】ここで、スイッチ電界効果トランジスタ22は、主電界効果トランジスタ3がオンの時にはオンになっているので、主電界効果トランジスタ3がオンの時にはチョーク・コイル13、コンデンサ14、スイッチ電界効果トランジスタ22及び主トランス21の二次側巻線を通して電流が流れる。

【0133】一方、主電界効果トランジスタ3がオフになると主トランス21の二次側巻線に生ずるリセット電圧によってスイッチ電界効果トランジスタ22はオフになる。従って、主電界効果トランジスタ3がオフの時にはチョーク・コイル13、コンデンサ14及び転流的4を経由して電流が流れる。

【0134】従って、図7の構成の同期整流動作は図1の構成の同期整流動作と同じになる。

【0135】そして、過電流検出手段8の出力によって主電界効果トランジスタ3のオン時間を短縮して出力電圧を垂下させる動作、低電流検出手段の出力によって転流電界効果トランジスタ停止手段12を介して転流電界効果トランジスタ4をオフにしてダイオード整流動作に遷移させる動作も図1の構成と同じである。

【0136】更に、低電流検出手段10の第二の基準電圧にヒステリシスを与える技術、転流電界効果トランジスタ停止手段12に転流電界効果トランジスタ4のゲートに蓄積された電荷を放電させる構成を備える技術も、図4の構成と同様に実現することができる。

【0137】

【発明の効果】以上詳述した如く、本発明によれば、複数の同期整流コンバータを並列運転する場合に、過電流垂下機能と負荷側から電源側への逆流防止機能を備える上に、過電流などの出力電流の検出と逆流防止を電力効率がよい状態で行なうことができる同期整流コンバータを実現することができる。

【0138】即ち、第一の発明によれば、電流検出手段を転流電界効果トランジスタに直列に挿入するので、電流検出を行なうための影響は転流に対してのみであり、損失が少ない。又、該電流検出手段が検出した電流から生成した電圧と第二の基準電圧とから該低電流検出手段が低電流状態を検出して低電流検出信号を該転流電

界効果トランジスタ停止手段に供給し、該転流電界効果トランジスタ停止手段が低電流状態の時に転流電界効果トランジスタをオフにするので、負荷側にて生じようとする逆流が転流電界効果トランジスタを流れることがなく、負荷側から見て当該同期整流コンバータが短絡モードになることはない。このため、過電流垂下機能と負荷側から電源側への逆流防止機能を備える上に、過電流などの出力電流の検出と逆流防止を電力効率がよい状態で行なうことができる同期整流コンバータを提供することが可能になる。

【0139】又、第二の発明によれば、該電流検出手段にトランスを使用するので、電流検出のための損失は一層小さくなり、且つ、該トランスの一次側巻線と二次側巻線の巻数比の設定によって微小電流の検出が容易になり、低電流検出信号によって確実に転流電界効果トランジスタをオフさせることが可能になる。

【0140】又、第三の発明によれば、該低電流検出手段が有する基準電圧が、検出電流の値に応じて2つの値の一方を取ることが可能であるため、該低電流検出手段が出力する低電流検出信号にヒステリシスを持たせることが可能になり、検出電流の僅かな変動によって同期整流とダイオード整流との間のハンティングが生ずることを抑圧できて、同期整流コンバータの動作の安定化が可能になる。

【0141】又、第四の発明によれば、該低電流検出手段が該低電流検出信号を出力しているダイオード整流動作時には該電界効果トランジスタをオフにして上記転流電界効果トランジスタをオフにし、該低電流検出手段が該低電流検出信号を出力しない同期整流動作時には該電界効果トランジスタをオンにして該転流電界効果トランジスタをオンにするので、該転流電界効果トランジスタを逆流が流れることはなくなる。

【0142】更に、第五の発明によれば、該転流電界効果トランジスタ停止手段が該転流電界効果トランジスタをオフにする時に転流電界効果トランジスタの蓄積電荷を放電させるので、該転流電界効果トランジスタがオフに転ずる時の遅延時間を短縮することができる。

【図面の簡単な説明】

【図1】 本発明の原理構成図（その1）。

【図2】 図1の構成における過電流垂下動作。

【図3】 図1の構成における低電流動作。

【図4】 図1の構成に対応する同期整流コンバータ。

【図5】 図4の構成における各部の波形。

【図6】 図4の構成の電流制御特性。

【図7】 本発明の原理構成図（その2）。

【図8】 従来の同期整流コンバータの構成例。

【図9】 図8の構成の過電流垂下特性。

【図10】 複数電源を並列接続した電源システム。

【符号の説明】

1 入力電源

- | | |
|-----------------------------|-------------------|
| 2 コンデンサ | 12-3 抵抗 |
| 3 主電界効果トランジスタ | 13 チョーク・コイル |
| 4 転流電界効果トランジスタ | 14 コンデンサ |
| 4-1 ボディ・ダイオード | 15 抵抗 |
| 5 転流ダイオード | 16 差動増幅器 |
| 6 電流検出手段 | 17 パルス幅制御手段 |
| 6-1 トランス | 17-1 基準電圧源 |
| 7 整流手段 | 17-2 差動増幅器 |
| 7-1 整流ダイオード | 17-3 鋸歯状波電源 |
| 7-2 コンデンサ | 17-4 コンパレータ |
| 8 過電流検出手段 | 17-5 インバータ |
| 8-1 差動増幅器 | 18 逆流防止ダイオード |
| 8-2、8-3、8-4、8-5 抵抗 | 19 抵抗 |
| 9 第一の基準電圧源 | 20 ツェナー・ダイオード |
| 10 低電流検出手段 | 21 主トランス |
| 10-1 差動増幅器 | 22 スイッチ電界効果トランジスタ |
| 10-2、10-3、10-4、10-5、10-6 抵抗 | 23 フォト・カプラ |
| 10-8、10-9 ダイオード | 24 負荷 |
| 11 第二の基準電圧源 | 101 入力電源 |
| 12 転流電界効果トランジスタ停止手段 | 102 第一の電源回路（電源#1） |
| 12-1 補助電界効果トランジスタ | 103 第二の電源回路（電源#2） |
| 12-2 トランジスタ | 104 第nの電源回路（電源#n） |
| | 105 負荷 |

【図1】

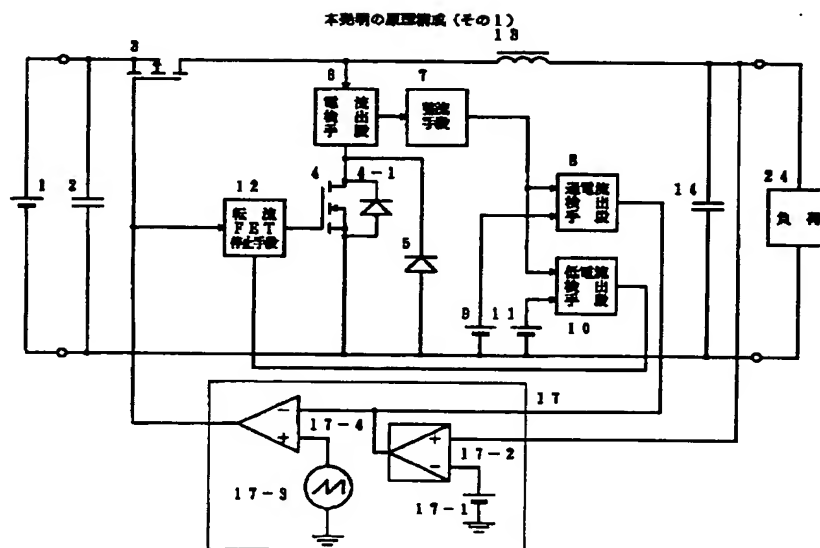
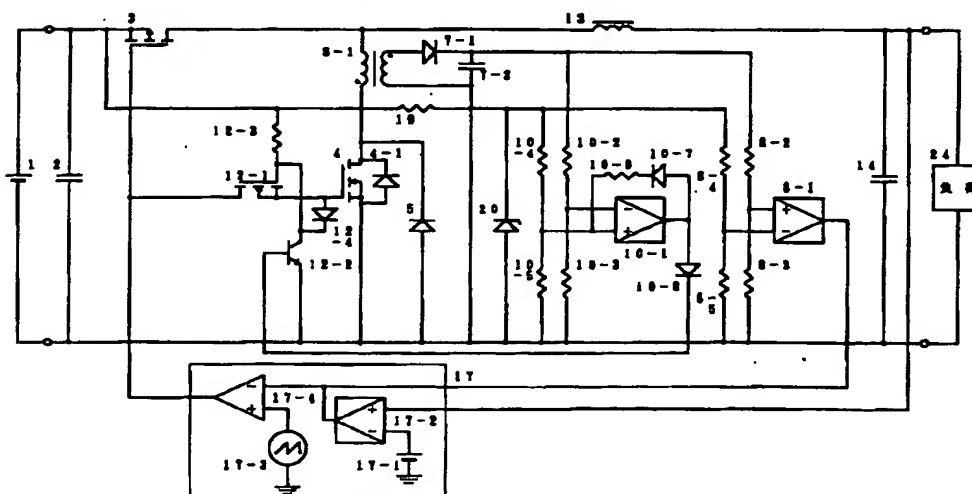
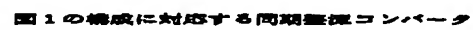
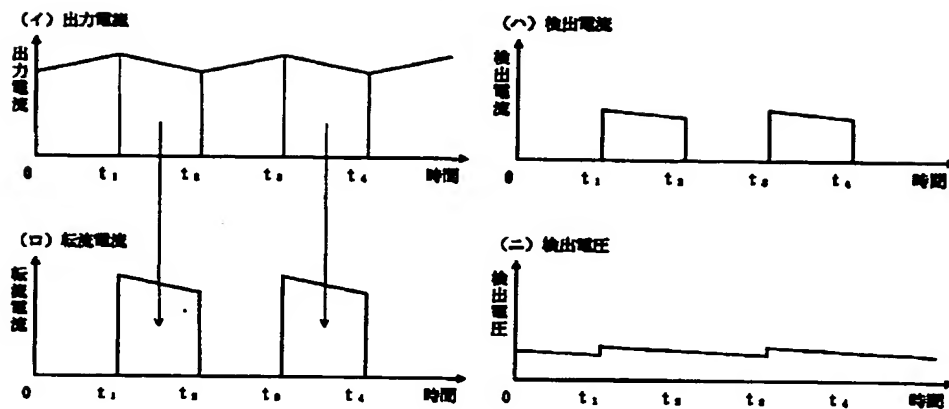


図1の構成における通電流量低下動作



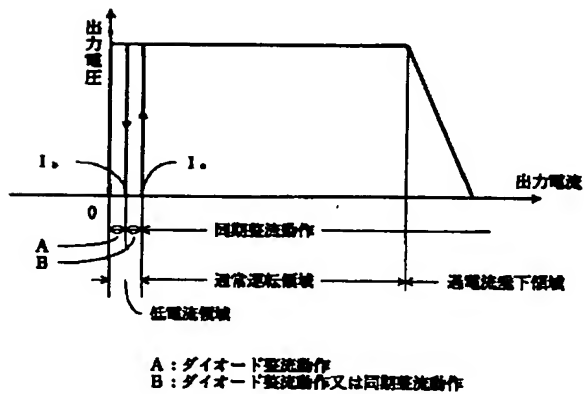
【図5】

図4の構成における各部の波形



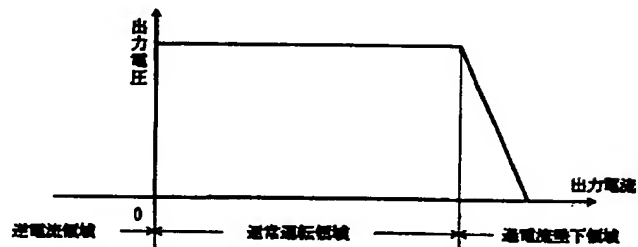
【図6】

図4の構成の電流制御特性



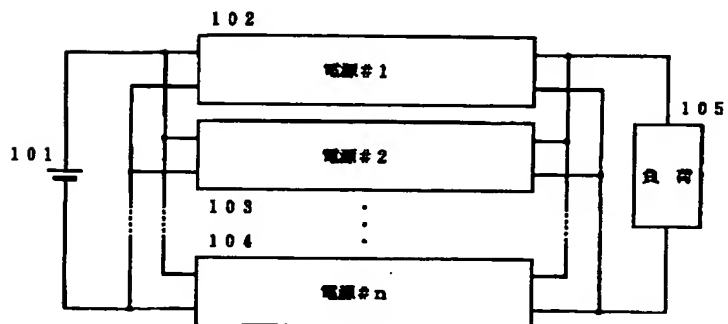
【図9】

図8の構成の過電流低下特性

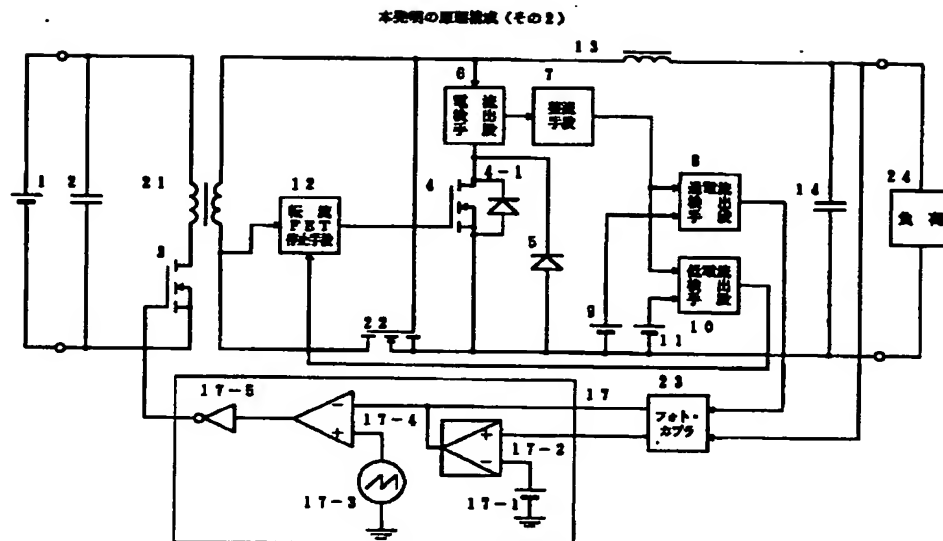


【図10】

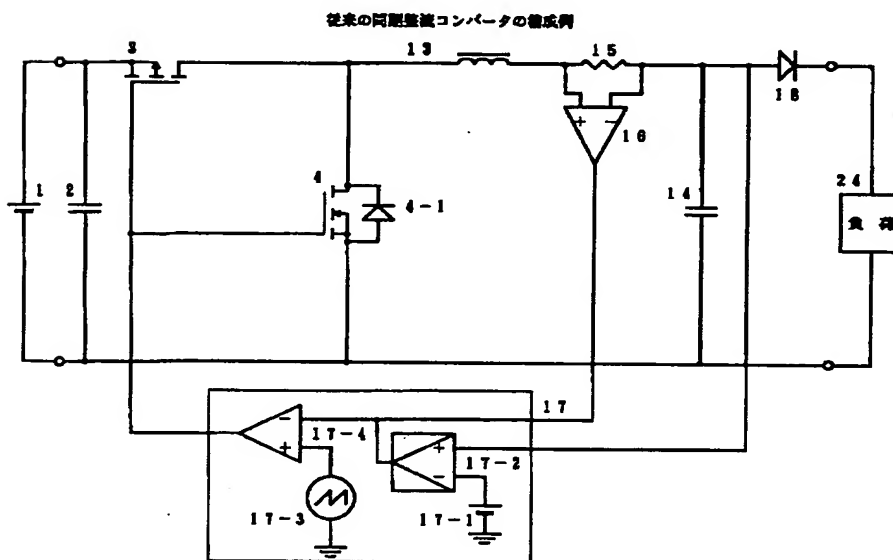
複数電源を並列接続した電源システム



【図7】



【図8】



フロントページの続き

(72) 発明者 月元 誠士
 福岡県福岡市博多区博多駅前三丁目22番8
 号 富士通九州デジタル・テクノロジー株
 式会社内

Fターム(参考) 5G053 AA01 AA02 BA01 CA02 EB02
EC03
5H006 AA05 BB08 CA02 CA07 CB07
CC02 DB01 DC02 FA02
5H730 AA16 AA17 AA20 AS01 AS05
BB13 BB23 BB57 DD04 EE02
EE08 EE10 EE13 EE59 FD01
FD31 FF02 FF19 FG05 XX03
XX15 XX23 XX35 XX43 XX49